

日本国特許庁  
JAPAN PATENT OFFICE

111415000H  
August 27, 2003  
BSKB, LLP  
703-205-8000  
1248-0000P  
1 OF 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年12月26日

出願番号

Application Number:

特願2002-378345

[ST.10/C]:

[JP2002-378345]

出願人

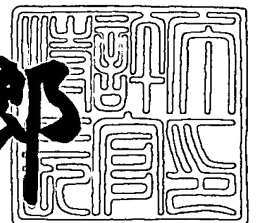
Applicant(s):

シャープ株式会社

2003年 6月17日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047292

【書類名】 特許願

【整理番号】 02J04069

【提出日】 平成14年12月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H04B 1/26  
H04L 5/14  
H04L 27/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 松浦 修二

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ケーブルモデム用チューナおよびこれを備えたケーブルモデム

【特許請求の範囲】

【請求項 1】

通信回線に対して、アナログ信号の送受信を行うチューナと、上記チューナにおける送受信信号の変復調処理を行う信号処理部とを備えたケーブルモデムに用いられ、上記通信回線から送られてきた信号を受信する受信処理部と、上記信号処理部から伝送された信号を上記通信回線に対して送信するリターンパス回路とを備えたケーブルモデム用チューナであって、

上記リターンパス回路が、上記信号処理部から伝送された信号の電力増幅を行うリターンパス増幅回路を備えていることを特徴とするケーブルモデム用チューナ。

【請求項 2】

上記リターンパス回路が、上記信号処理部から伝送された信号に含まれるノイズを除去するフィルタを備えていることを特徴とする請求項 1 記載のケーブルモデム用チューナ。

【請求項 3】

上記リターンパス増幅回路に対して供給される電源と、該リターンパス増幅回路以外の構成に対して供給される電源とが、別系統の経路で供給されることを特徴とする請求項 1 または 2 記載のケーブルモデム用チューナ。

【請求項 4】

上記受信処理部および上記リターンパス回路を構成する回路が、基板の片面に形成されていることを特徴とする請求項 1、2、または 3 記載のケーブルモデム用チューナ。

【請求項 5】

上記リターンパス回路が、上記リターンパス増幅回路からの平衡出力を不平衡出力に変換する平衡不平衡変換トランスと、上記平衡不平衡変換トランスの出力側に設けられた整合用インダクタとを備えていることを特徴とする請求項 1 ないし 4 のいずれか一項に記載のケーブルモデム用チューナ。

【請求項 6】

上記リターンパス回路の周囲に、電気的および電磁的なシールド効果を有する仕切部材が設けられていることを特徴とする請求項 1 ないし 5 のいずれか一項に記載のケーブルモデム用チューナ。

【請求項 7】

上記受信処理部が、周波数変換処理を行う際に用いられる PLL 回路と、上記 PLL 回路に電源を供給するレギュレータとしての DC-DC コンバータとを備えているとともに、

上記 DC-DC コンバータの周囲に、電気的および電磁的なシールド効果を有する仕切部材が設けられていることを特徴とする請求項 1 ないし 6 のいずれか一項に記載のケーブルモデム用チューナ。

【請求項 8】

上記受信処理部が、受信した信号の周波数を中間周波数に変換するシングルコンバージョン方式によって受信処理を行うとともに、上記信号処理部から伝送される IF AGC 信号に基づいて中間周波信号を増幅する中間周波数 AGC 増幅回路を備えていることを特徴とする請求項 1 ないし 7 のいずれか一項に記載のケーブルモデム用チューナ。

【請求項 9】

請求項 1 ないし 8 のいずれか一項に記載のケーブルモデム用チューナと、

上記ケーブルモデム用チューナにおける送受信信号の変復調処理を行う信号処理部とを備えたことを特徴とするケーブルモデム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、例えばケーブルテレビネットワークの通信回線を利用したケーブル接続方式によってデータ通信を行う際に用いられるケーブルモデム用チューナに関するものである。

【 0 0 0 2 】

【従来の技術】

昨今、通信インフラの整備に伴い、インターネットを利用して、例えば音楽データや動画像データなどのサイズの大きいデータが送受信されるようになっている。このような状況において、一般家庭においても高速データ通信が可能な環境が望まれてきており、例えば公衆電話回線を利用したADSL(Asymmetric Digital Subscriber Line)方式や、ケーブルテレビネットワークの通信回線を利用したケーブル接続方式などによるインターネット接続環境が広く普及してきている。

#### 【0003】

ケーブル接続方式では、従来、幹線ネットワークおよび各家庭への引き込み線は、同軸ケーブルによって構成されていた。しかしながら、上記のようにインターネット接続などのデータ通信の利用が拡大する傾向にあり、ベストエフォート方式による通信方式の場合、ユーザの利用が集中すると、各ユーザにおける通信速度が著しく低下するという問題が生じている。

#### 【0004】

そこで、ケーブルネットワークにおけるデータ通信容量を増大させるために、幹線ネットワーク部分を光ファイバ化するHFC(Hybrid Fiber/Coaxial)方式の導入が進められている。これにより、ユーザの利用が集中する時間帯においても、各ユーザに対して数Mビット/秒の広帯域データ通信サービスを提供することが可能となる。

#### 【0005】

例えば、ケーブルネットワークにおいて用いるデータ通信の変調方式として、もはや先端技術ではない64QAM(Quadrature Amplitude Modulation)を用いた場合でも、帯域幅6MHzで伝送速度30Mビット/秒の高速データ通信を行うことが可能であり、実際には、ケーブルテレビの空きチャンネルを利用することによって、4Mビット/秒～27Mビット/秒の伝送速度を実現できる。このように高速アナログ通信網であるケーブルネットワークを利用してデジタル信号の送受信を行う際に用いられるものがケーブルモデムである。

#### 【0006】

以下、従来のケーブルモデムのチューナについて、図8に示すブロック図を参

照しながら説明する。ケーブルモデムは、チューナおよびデジタル信号処理回路などから構成され、図 8 は、チューナの概略構成を示すものとなっている。

#### 【 0 0 0 7 】

ケーブルモデム用チューナは、例えば 4 7 0 ~ 8 6 0 M H z の信号を受信する U H F バンド ( B 3 バンド) 受信回路、 1 7 0 ~ 4 7 0 M H z の信号を受信する V H F H i g h バンド ( B 2 バンド) 受信回路、および、 5 4 ~ 1 7 0 M H z の信号を受信する V H F L o w バンド ( B 1 バンド) 受信回路から構成される。

#### 【 0 0 0 8 】

ケーブル回線は入力端子 1 0 1 に接続されており、この端子を介して C A T V 信号が送受信される。C A T V 信号は、ケーブルモデムからケーブル回線側へ送信されるアップストリーム信号と、ケーブル回線側からケーブルモデムへ送信されるダウンストリーム信号とからなる。アップストリーム信号は、 5 ~ 4 2 M H z の信号で構成され、ダウンストリーム信号は、 5 4 ~ 8 6 0 M H z の信号で構成される。

#### 【 0 0 0 9 】

アップストリーム信号は、データ端子 1 4 1 に対して、デジタル信号処理回路における Q P S K 送信機から送られる直交位相変位変調 ( Q P S K : quadrature phase shift keying) されたデータ信号として入力される。データ端子 1 4 1 に入力されたデータ信号は、アップストリーム回路としての L . P . F ( Low Pass Filter) 1 4 0 を介して、入力端子 1 0 1 からケーブル回線側に送信される。

#### 【 0 0 1 0 】

一方、ダウンストリーム信号は、 I F ( 中間周波) フィルタとしての H . P . F ( High Pass Filter) 1 0 2 を通過した後、入力切替回路 1 0 3 ・ 1 0 4 ・ 1 0 5 に入力されることによって、 U H F バンド受信回路、 V H F H i g h バンド受信回路、および V H F L o w バンド受信回路における処理が行われる。上記の H . P . F 1 0 2 は、 5 ~ 4 6 M H z を減衰域、 5 4 M H z 以上を通過域とするハイパスフィルタである。各バンドの受信回路は、それぞれ受信チャンネルに応じて動作状態となり、受信チャンネル以外のバンドの受信回路は動作しないよ

うになっている。

#### 【0011】

次に、各バンドの受信回路における動作について説明する。CATV信号は、入力切替回路103・104・105を通過した後、高周波増幅入力回路106・107・108に入り、高周波増幅器109・110・111において増幅され、高周波増幅出力同調回路112・113・114によって受信信号が導出される。その後、この受信信号は、ミキサー回路115・116・117および局部発振回路118・119・120によって周波数変換される。以上のように各バンドの受信回路において信号処理が行われた後に、各バンドの受信回路からの出力信号が、中間周波増幅回路121にてIF増幅された後、IF出力端子122から出力される。

#### 【0012】

##### 【特許文献1】

特開平5-014058号公報（公開日1993年1月22日）

#### 【0013】

##### 【発明が解決しようとする課題】

ケーブルモデムは、上記のような構成のチューナと、チューナによって受信された信号を復調するQAM復調回路などからなる信号処理部とによって構成される。図8に示すように、チューナは基本的にはアナログ回路によって構成される一方、信号処理部は、A/Dコンバータ以降の回路はデジタル回路によって構成されることになる。したがって、チューナはアナログ回路技術者によって設計され、信号処理部はデジタル回路技術者によって設計される場合が多い。

#### 【0014】

ここで、アップストリーム信号は、所定の電圧に増幅してからケーブル回線に対して出力される必要があるが、このアップストリーム信号を増幅するリターンパス増幅回路は、従来では、リターンパス増幅回路は信号処理部側に設けられていた。この場合、アナログ回路によって構成されるリターンパス増幅回路の設計はデジタル回路技術者によって設計されていた。しかしながら、チューナにおける性能は各種規格によって厳しく規定されており、この規定を満たすようにリタ



ーンパス増幅回路を設計することは、デジタル回路技術者にとっては困難であり、時間およびコストが非常にかかっていた。

## 【 0 0 1 5 】

本発明は上記の問題点を解決するためになされたもので、その目的は、チューナの開発コストおよび開発時間を削減するとともに、ケーブルモデム自体の小型化および伝送特性の改善を実現するケーブルモデム用チューナおよびケーブルモデムを提供することにある。

## 【 0 0 1 6 】

## 【課題を解決するための手段】

上記の課題を解決するために、本発明に係るケーブルモデム用チューナは、通信回線に対して、アナログ信号の送受信を行うチューナと、上記チューナにおける送受信信号の変復調処理を行う信号処理部とを備えたケーブルモデムに用いられ、上記通信回線から送られてきた信号を受信する受信処理部と、上記信号処理部から伝送された信号を上記通信回線に対して送信するリターンパス回路とを備えたケーブルモデム用チューナであって、上記リターンパス回路が、上記信号処理部から伝送された信号の電力増幅を行うリターンパス増幅回路を備えていることを特徴としている。

## 【 0 0 1 7 】

上記のように、ケーブルモデムは、チューナと信号処理部とから構成される。チューナは、基本的にアナログ回路によって構成されており、信号処理部は基本的にデジタル回路によって構成されているので、それぞれアナログ回路技術者およびデジタル回路技術者によって開発・設計されることになる。

## 【 0 0 1 8 】

従来では、リターンパス増幅回路は信号処理部側に設けられており、これに従って、アナログ回路によって構成されるリターンパス増幅回路の設計はデジタル回路技術者によって設計されていたが、前記したように、リターンパス増幅回路を設計することはデジタル回路技術者にとっては困難であり、時間およびコストが非常にかかっていた。

## 【 0 0 1 9 】

これに対して、上記の構成では、リターンパス増幅回路がチューナに内蔵される構成となっている。したがって、リターンパス増幅回路をアナログ技術者によって設計することが可能となり、開発コストおよび開発時間を大幅に削減することが可能となる。

#### 【 0 0 2 0 】

また、上記のような経済性のメリットがあるだけでなく、ケーブルモデム自体の小型化を図ることができるとともに、伝送特性（振幅特性、位相特性）を改善することもできる。

#### 【 0 0 2 1 】

詳しく説明すると、上記したように、従来リターンパス増幅回路はチューナの外（ケーブルモデムの信号処理部側）に配置されていたが、上記の構成ではチューナ内部に内蔵されているため、チューナの形状が従来と同じとした場合、リターンパス増幅回路の回路面積の分だけケーブルモデムの小型化が図れることになる。

#### 【 0 0 2 2 】

また、従来リターンパス増幅回路はチューナの外に配置されていたため、上り信号の送信部からチューナまでの基板のパターンの引き回し配線長が長く伝送特性が劣化していた。これに対して、上記の構成ではリターンパス増幅回路がチューナに内蔵されているため、上記の引き回し配線長が短くなり、伝送特性（システムクロックなどのスプリアスの混入を含む）が改善されることになる。

#### 【 0 0 2 3 】

また、本発明に係るケーブルモデム用チューナは、上記の構成において、上記リターンパス回路が、上記信号処理部から伝送された信号に含まれるノイズを除去するフィルタを備えている構成としてもよい。

#### 【 0 0 2 4 】

信号処理部から伝送される信号には、伝送すべき信号の他に、通常 20 ～ 30 MHz 前後のシステムクロックが含まれている。よって、この 2 つの信号が結合することによって信号に歪みが生じ、スプリアスエミッションが発生することになる。これに対して、上記の構成によれば、リターンパス回路に、信号処理部か

ら伝送された信号に含まれるノイズを除去するフィルタが設けられているので、このスプリアスエミッションを低減することが可能となる。なお、スプリアスエミッションの周波数帯域は、通常、伝送すべき信号の周波数帯域とは離れているので、上記のようにフィルタによってノイズを除去することが可能となる。

【 0 0 2 5 】

また、本発明に係るケーブルモデム用チューナは、上記の構成において、上記リターンパス増幅回路に対して供給される電源と、該リターンパス増幅回路以外の構成に対して供給される電源とが、別系統の経路で供給される構成としてもよい。

【 0 0 2 6 】

リターンパス回路では、省電力を実現するために、データ信号を送信する時のみリターンパス増幅回路に対して電源が供給されるスタンバイ方式が採られることが考えられる。この場合、データ信号の送信時にリターンパス増幅回路に対して電源を供給する際には、瞬間的に電流が大きく変動することになる。これに伴って、リターンパス増幅回路以外の構成に対する電源供給の電流が変動することになり、リップルが発生することによって、他の構成における動作に悪影響を与えることになる。

【 0 0 2 7 】

これに対して、上記の構成では、リターンパス増幅回路に対して供給される電源と、該リターンパス増幅回路以外の構成に対して供給される電源とが、別系統の経路で供給されるようになっているので、データ送信時におけるリターンパス増幅回路への電源供給に伴う電流変動の影響が他の構成に対して及ぶことを防止することができる。よって、リターンパス増幅回路以外の構成の安定動作を実現することが可能となる。

【 0 0 2 8 】

また、本発明に係るケーブルモデム用チューナは、上記の構成において、上記受信処理部および上記リターンパス回路を構成する回路が、基板の片面に形成されている構成としてもよい。

【 0 0 2 9 】

ケーブルモデム用チューナにおいて、各構成要素の回路を基板に形成する方式としては、基板の両面に回路を形成する両面基板方式と、基板の片面に回路を形成する片面基板方式とがある。従来では、グランドパターンの自由度が高く、これにより歪み特性が良好となる両面基板方式が採用されていた。これに対して、上記の構成では、片面基板方式を採用しており、これにより、基板に回路を形成する際の加工コストを低くすることができるとともに、基板自体のコストも低くすることができる。

## 【 0 0 3 0 】

また、本発明に係るケーブルモデム用チューナは、上記の構成において、上記リターンパス回路が、上記リターンパス増幅回路からの平衡出力を不平衡出力に変換する平衡不平衡変換トランスと、上記平衡不平衡変換トランスの出力側に設けられた整合用インダクタとを備えている構成としてもよい。

## 【 0 0 3 1 】

上記の構成によれば、平衡不平衡変換トランスによって、リターンパス増幅回路からの平衡出力が、通信回線への送信に適した不平衡出力に変換されることになるが、この変換の際には、送信信号の周波数帯域となるノイズが生じることになる。これに対して、上記の構成では、平衡不平衡変換トランスの出力側に整合用インダクタが設けられており、これによって上記ノイズを除去することが可能となる。

## 【 0 0 3 2 】

また、本発明に係るケーブルモデム用チューナは、上記の構成において、上記リターンパス回路の周囲に、電気的および電磁的なシールド効果を有する仕切部材が設けられている構成としてもよい。

## 【 0 0 3 3 】

リターンパス増幅回路の出力レベルは比較的高い値であることにより、周辺回路に対する影響による干渉が生じるという問題がある。この干渉によって、例えば、ダウンストリーム信号およびアップストリーム信号に歪みが生じることがある。これに対して、上記の構成によれば、リターンパス増幅回路を含むリターンパス回路の周囲には、電気的および電磁的なシールド効果を有する仕切部材が設

けられているので、上記の問題を解消することができる。

【 0 0 3 4 】

また、本発明に係るケーブルモデム用チューナは、上記の構成において、上記受信処理部が、周波数変換処理を行う際に用いられるPLL回路と、上記PLL回路に電源を供給するレギュレータとしてのDC-DCコンバータとを備えているとともに、上記DC-DCコンバータの周囲に、電気的および電磁的なシールド効果を有する仕切部材が設けられている構成としてもよい。

【 0 0 3 5 】

上記の構成では、周波数変換処理を行う際に用いられるPLL回路に電源を供給するDC-DCコンバータが設けられている。これにより、PLL回路に安定した電圧の電源を供給することができるので、PLL回路を安定動作させることが可能となり、受信処理部における周波数変換処理を正確に行うことが可能となる。

【 0 0 3 6 】

しかしながら、DC-DCコンバータには100kHz前後の発振器が内蔵されており、これにより、DC-DCコンバータからの出力にはスプリアスノイズが発生することになる。また、DC-DCコンバータにはインダクタが設けられており、このインダクタから発生する磁界が、チューナに設けられている各種インダクタに影響を与えることも考えられる。

【 0 0 3 7 】

これに対して、上記の構成によれば、DC-DCコンバータの周囲には、電気的および電磁的なシールド効果を有する仕切部材が設けられているので、上記の問題を解消することができる。

【 0 0 3 8 】

また、本発明に係るケーブルモデム用チューナは、上記の構成において、上記受信処理部が、受信した信号の周波数を中間周波数に変換するシングルコンバージョン方式によって受信処理を行うとともに、上記信号処理部から伝送されるIF AGC信号に基づいて中間周波信号を増幅する中間周波数AGC増幅回路を備えている構成としてもよい。

## 【 0 0 3 9 】

従来では、I F A G C 信号に基づいて中間周波信号を増幅する中間周波数 A G C 増幅回路は、信号処理部が設けられているボード上に形成されていた。このように、中間周波数 A G C 増幅回路がデジタル回路側であるボード上に設けられる場合、これらの構成の設計をデジタル回路技術者が行うことになる。しかしながら、これらの構成に関してチューニングを行う際にはアナログ回路の知識が必要であり、特に、最適な M S E ( S N R (Signal to Noise Ratio)) および B E R T (Bit Error Rate) を引き出すことは、デジタル回路技術者にとっては極めて困難であった。また、D O C S I S (Data-over-cable service interface specification) における P H Y 1 7 H の規定を満たしているかの評価にも、アナログ回路技術者とデジタル回路技術者とが共同して行う必要があり、多大な時間がかかっていた。

## 【 0 0 4 0 】

これに対して、上記の構成によれば、中間周波数 A G C 増幅回路がチューナ側に設けられているので、これらの構成の設計を、アナログ回路技術者が行うことが可能となっている。これにより、最適な性能を引き出すためのチューニング、および D O C S I S の評価にかかる時間を大幅に削減することが可能となる。

## 【 0 0 4 1 】

また、本発明に係るケーブルモデムは、上記本発明に係るケーブルモデム用チューナと、上記ケーブルモデム用チューナにおける送受信信号の変復調処理を行う信号処理部とを備えたことを特徴としている。

## 【 0 0 4 2 】

上記の構成によれば、小型でかつ伝送特性の優れたケーブルモデムを提供することができる。

## 【 0 0 4 3 】

## 【発明の実施の形態】

本発明の実施の一形態について図 1 ないし図 6 に基づいて説明すれば、以下のとおりである。

## 【 0 0 4 4 】

## (ケーブルモデムの全体構成)

本実施形態では、ケーブルテレビネットワークの通信回線を利用して、インターネット接続などのデータ通信を行う際に用いられるケーブルモデムについて説明する。図2は、本実施形態に係るケーブルモデムの概略構成を示すブロック図である。同図に示すように、このケーブルモデムは、チューナ41、信号処理部42、フラッシュメモリ43、表示部44、および電源45を備えた構成となっている。

## 【0045】

チューナ41は、ケーブルテレビネットワークの通信網を構成するケーブル回線から入力される信号の受信処理、および信号処理部42から出力された信号をケーブル回線側へ出力する送信処理を行うものである。このチューナ41は、入力信号周波数を中間周波数に変換するスーパーヘテロダイン方式であるシングルコンバージョン方式によって受信処理を行うものとなっている。このチューナ41の詳細については後述する。

## 【0046】

信号処理部42は、QAM復調回路46、MAC回路47、およびデータ処理回路48を備えている。QAM復調回路46は、チューナ41から出力された信号をQAM復調する回路である。また、このQAM復調回路46は、チューナ41に対して、 $I^2C$ バス通信制御、IF AGC、およびRF AGCの制御を行う。MAC回路47は、MAC(Media Access Control)層プロトコルの処理を行う回路である。制御回路48は、信号処理部42における処理を全体的に制御する回路であり、例えばCPU(Central Processing Unit)などによって構成される。また、制御回路48は、信号処理部42側からケーブル回線に向けて出力すべき信号をチューナ41に対して送信するQPSK送信機を備えているとともに、デジタル制御信号を3Wire Bus制御方式によってチューナ41に対して送信する。この信号処理部42は、基本的にはLSIなどのデジタル信号処理回路が形成されたボード上に構成されるものである。

## 【0047】

また、この信号処理部42は、図示はしていないが、例えばパソコンなどの外

部機器への接続に用いられるインターフェースを有しており、これによって外部機器がケーブル回線を介してデータの送受信を行うことが可能となっている。上記インターフェースとしては、例えばUSBインターフェースやLANインターフェースなどが挙げられる。

## 【0048】

フラッシュメモリ43は、信号処理部42における制御回路48が制御を行う際に用いられるプログラムなどを記憶する不揮発性記憶手段である。表示部44は、ケーブルモデムにおける動作状態を表示するものであり、例えばLEDランプやLCDなどによって構成される。電源45は、ケーブルモデム内の各構成に電力供給を行うものである。

## 【0049】

## (チューナの構成)

次に、上記チューナ41の構成について説明する。図1は、チューナ41の概略構成を示すブロック図である。チューナ41は、大きく分けて、受信処理部とリターンパス回路とから構成されている。前記したように、CATV信号は、ケーブルモデムからケーブル回線側へ送信されるアップストリーム信号と、ケーブル回線側からケーブルモデムへ受信されるダウンストリーム信号とからなる。アップストリーム信号は、5～42MHzの信号で構成され、ダウンストリーム信号は、54～860MHzの信号で構成される。そして、上記受信処理部は、ダウンストリーム信号の受信処理を行い、上記リターンパス回路は、アップストリーム信号の送信処理を行うことになる。

## 【0050】

受信処理部は、入力処理部、高周波処理部、および中間周波処理部に機能的に分かれている。入力処理部は、H. P. F (Highpass Filter) 2、および広帯域増幅回路50から構成されている。H. P. F 2は、入出力端子1を介してケーブル回線から入力されたQAM信号から、ダウンストリーム信号の周波数帯域の信号を取り出すものである。広帯域増幅回路50は、H. P. F 2を通過した信号を数dB程度増幅する回路である。

## 【0051】



高周波処理部は、入力処理部から出力された高周波信号を、3種類の周波数帯域の信号に振り分け、各周波数帯域の信号に対して増幅、周波数変換などの処理を行うものである。周波数帯域としては、例えば470～860MHzのUHFバンド（B3バンド）、170～470MHzのVHF Highバンド（B2バンド）、および、54～170MHzのVHF Lowバンド（B1バンド）の3種類が挙げられ、それぞれの周波数帯域の信号を処理する回路が高周波処理部に設けられている。

## 【0052】

詳しく説明すると、高周波処理部は、入力切替回路3・4・5、高周波増幅入力同調回路6・7・8、高周波増幅器9・10・11、高周波増幅出力同調回路12・13・14、ミキサー回路15・16・17、局部発振回路18・19・20、DC-DCコンバータ62、およびPLL回路61を備えている。

## 【0053】

入力切替回路3・4・5は、広帯域増幅回路50から出力された信号を、各周波数帯域の信号に振り分けるものである。すなわち、入力された信号の周波数帯域に応じて入力切替回路3・4・5のいずれかがアクティブになり、アクティブになった入力切替回路以降の回路のみが高周波信号処理を行うことになる。

## 【0054】

そして、入力切替回路3・4・5から出力された信号は、高周波増幅入力同調回路6・7・8、高周波増幅器9・10・11、および高周波増幅出力同調回路12・13・14によって増幅処理される。ここで、高周波増幅器9・10・11にはAGC抵抗31・32・33を介して、QAM復調回路46から送信されたRF AGC信号が入力される。高周波増幅器9・10・11は、このRF AGC信号に基づいて増幅動作を行う。

## 【0055】

その後、この増幅処理された信号は、ミキサー回路15・16・17および局部発振回路18・19・20によって周波数変換される。ミキサー回路15・16・17は、該当するチャンネルに応じた周波数の局部発振信号と、増幅処理されたQAM信号とを混合することによって、中間周波信号に周波数変換する処理

を行う。局部発振回路 1 8 ・ 1 9 ・ 2 0 は、上記局部発振信号を生成するものである。この局部発振回路 1 8 ・ 1 9 ・ 2 0 は、PLL 回路 6 1 による制御によって生成する信号の周波数を調整するようになっている。PLL 回路 6 1 は、同調用電源回路としての DC-DC コンバータ 6 2 から電源を供給している。

## 【 0 0 5 6 】

中間周波処理部は、中間周波増幅回路 2 1、デジタル SAW フィルタ 2 2、中間周波数 AGC 増幅回路 2 3 から構成されている。中間周波増幅回路 2 1 は、高周波処理部から出力された中間周波信号を増幅するものである。デジタル SAW フィルタ 2 2 は、狭帯域通過フィルタとして機能するものであり、中間周波増幅回路 2 1 から出力された中間周波信号から、帯域外信号を除去するものである。

## 【 0 0 5 7 】

中間周波数 AGC 増幅回路 2 3 は、デジタル SAW フィルタ 2 2 から出力された中間周波信号を増幅し、これを QAM 復調回路 4 6 に向けて出力端子 2 4 から出力するものである。この中間周波数 AGC 増幅回路 2 3 には、QAM 復調回路 4 6 から送信された IF AGC 信号が IF AGC 信号入力端子 2 5 を介して入力される。中間周波数 AGC 増幅回路 2 3 は、この IF AGC 信号に基づいて増幅動作を行う。

## 【 0 0 5 8 】

一方、リターンパス回路は、L. P. F 4 0、平衡不平衡変換トランス 5 1、リターンパス増幅回路 5 8、および平衡型 L. P. F 5 6 を備えた構成となっている。アップストリーム信号は、信号処理部 4 2 における制御回路 4 8 から、QPSK 信号として、データ信号入力端子 5 7 から入力される。

## 【 0 0 5 9 】

平衡不平衡変換トランス 5 1 は、データ信号入力端子 5 7 から入力された QPSK 信号に対してフィルタをかけることにより、n 次高調波成分を除去する処理を行う。リターンパス増幅回路 5 8 は、平衡不平衡変換トランス 5 1 から出力された信号に対して約 3 0 d B の電力増幅を行うものであり、前置増幅器 5 5、デジタル利得制御回路 5 4、および電力増幅回路 5 2 ・ 5 3 から構成される。

## 【 0 0 6 0 】

デジタル利得制御回路 5 4 には、デジタル利得制御端子 5 9 …を介して、信号処理部 4 2 における制御回路 4 8 から 3 Wire Bus方式の制御信号が入力される。この制御信号に基づいて、デジタル利得制御回路 5 4 は、出力信号の出力レベルを + 5 8 d B m V ~ + 5 d B m V の範囲で 1 d B あるいは 0. 5 d B のステップで出力制御するようになっている。

## 【 0 0 6 1 】

電力増幅回路 5 2 ・ 5 3 は、デジタル利得制御回路 5 4 による制御に基づいて出力信号の出力レベルを増幅する処理を行う。また、この電力増幅回路 5 2 ・ 5 3 には、リターンパス信号制御端子 6 0 が接続されており、このリターンパス信号制御端子 6 0 から入力される制御信号によって、データ信号の送出遮断を行うようになっている。この制御信号は、信号処理部 4 2 における制御回路 4 8 から送信されるものである。

## 【 0 0 6 2 】

平衡不平衡変換トランス 5 1 は、リターンパス増幅回路 5 8 から出力されたリターンパス信号のインピーダンス変換を行う。L. P. F (Lowpass Filter) 4 0 は、平衡不平衡変換トランス 5 1 から出力された信号に対して、帯域外の信号を除去する処理を行い、この出力信号が入出力端子 1 を介してケーブル回線に出力される。

## 【 0 0 6 3 】

(リターンパス増幅回路の内蔵)

以上のように、本実施形態では、チューナ 4 1 において、リターンパス回路内にリターンパス増幅回路 5 8 が設けられた構成となっている。これにより、次のような効果を奏することになる。

## 【 0 0 6 4 】

従来では、リターンパス増幅回路はデジタル信号処理回路が形成されたボード側に設けられており、これに従って、アナログ回路によって構成されるリターンパス増幅回路の設計はデジタル回路技術者によって設計されていたが、前記したように、リターンパス増幅回路を設計することはデジタル回路技術者にとっては困難であり、時間およびコストが非常にかかっていた。

## 【 0 0 6 5 】

これに対して、本実施形態の構成では、リターンパス増幅回路 5 8 がチューナ 4 1 に内蔵される構成となっている。したがって、リターンパス増幅回路 5 8 をアナログ技術者によって設計することが可能となり、開発コストおよび開発時間を大幅に削減することが可能となる。

## 【 0 0 6 6 】

また、従来リターンパス増幅回路 5 8 はチューナ 4 1 の外（ケーブルモデムのボード側）に配置されていたが、上記の構成ではチューナ 4 1 内部に内蔵されているため、チューナ 4 1 の形状が従来と同じとした場合、リターンパス増幅回路 5 8 の回路面積の分だけケーブルモデムの小型化が図れることになる。

## 【 0 0 6 7 】

また、従来リターンパス増幅回路 5 8 はチューナ 4 1 の外に配置されていたため、上り信号の送信部からチューナ 4 1 までの基板のパターンの引き回し配線長が長く伝送特性が劣化していた。これに対して、本実施形態の構成ではリターンパス増幅回路 5 8 がチューナ 4 1 に内蔵されているため、上記の引き回し配線長が短くなり、伝送特性（システムクロックなどのスプリアスの混入を含む）が改善されることになる。

## 【 0 0 6 8 】

（ I F   A G C 増幅回路の内蔵）

上記したように、中間周波処理部は、中間周波増幅回路 2 1、デジタル S A W フィルタ 2 2、および中間周波数 A G C 増幅回路 2 3 を備えた構成となっている。すなわち、これらの構成がチューナ 4 1 に内蔵されていることになる。

## 【 0 0 6 9 】

ここで、従来では、チューナに設けられる中間周波処理部としては、従来の技術で図 8 に示したように、中間周波増幅回路 1 2 1 のみが設けられた構成となっており、デジタル S A W フィルタ、および中間周波数 A G C 増幅回路は、チューナ側ではなく、信号処理部が設けられているボード上に形成されていた。

## 【 0 0 7 0 】

ケーブルモデムを開発する際には、チューナ部は、アナログ回路によってほと

んどが構成されるので、アナログ回路技術者が設計を行い、信号処理部は、デジタル回路によってほとんどが構成されるので、デジタル回路技術者が設計を行うようになっている場合が多い。

#### 【0071】

ここで、デジタルSAWフィルタ、および中間周波数AGC増幅回路がデジタル回路側であるボード上に設けられる場合、これらの構成の設計をデジタル回路技術者が行うことになる。しかしながら、これらの構成に関してチューニングを行う際にはアナログ回路の知識が必要であり、特に、最適なMSE (SNR (Signal to Noise Ratio)) およびBERT (Bit Error Rate)を引き出すことは、デジタル回路技術者にとっては極めて困難であった。また、DOCSISにおけるPHY17Hの規定を満たしているかの評価にも、アナログ回路技術者とデジタル回路技術者とが共同して行う必要があり、多大な時間がかかっていた。

#### 【0072】

これに対して、本実施形態では、上記のように、デジタルSAWフィルタ22、および中間周波数AGC増幅回路23がチューナ41側に設けられているので、これらの構成の設計を、アナログ回路技術者が行うことが可能となっている。これにより、最適な性能を引き出すためのチューニング、およびDOCSISの評価にかかる時間を大幅に削減することが可能となる。

#### 【0073】

(リターンパス回路における歪み特性の緩和)

リターンパス回路には、アップストリーム信号の他に、通常20～30MHz前後のシステムクロックがデータ信号入力端子57から入力されている。よって、この2つの信号が結合することによって信号に歪みが生じ、スプリアスエミッションが発生することになる。

#### 【0074】

一方、ケーブルモデムの電気性能を公に規定する規格として、DOCSISと呼ばれる規格が存在している。このDOCSISにおけるPHY17Hには、ダウンストリーム信号に対する性能品質の保証に関する規定が示されており、具体的には、QAMの受信信号に対するBERT (Bit Error Rate)の規定、および妨

害信号に対する影響度の規定が示されている。このDOCSISにおけるPHY 17Hの規定では、ダウンストリーム信号における受信帯域 (out of band)でのスプリアスエミッションは、 $-50\text{ dBmV}$ 以下と規定されている。

## 【0075】

この受信帯域でのスプリアスエミッションを低減するために、本実施形態では、上記のように、データ信号入力端子57とリターンパス増幅回路58との間に、平衡型L、P、F56が挿入されている。この平衡型L、P、F58は、本実施形態では遮断周波数を50MHzと設定する。これにより、受信帯域でのスプリアスエミッションを抑制することが可能となり、DOCSISにおけるPHY 17Hの規定を満たすことが可能となる。

## 【0076】

なお、リターンパス増幅回路58を構成するICに対しての入力回路は一般的に平衡入力であるので、挿入されるL、P、Fは本実施形態では平衡型としているが、これに限定されるものではなく、通常の不平衡型のL、P、Fを用いてもかまわない。平衡型L、P、Fは、不平衡型L、P、Fと比較して、不平衡ノイズの影響を受けにくいというメリットがあるが、回路部品が多くなるというデメリットがある。

## 【0077】

また、DOCSISにおけるPHY 17Hには、リターンパス増幅回路に対して、QPSK信号で $+58\text{ dBmV}$ 、16QAM信号で $+55\text{ dBmV}$ 以上の出力を要求するとともに、この出力レベルにおける高調波歪みの相対比が $-47\text{ dBc}$ 以上となっていることを要求する規定がある。

## 【0078】

このリターンパス増幅回路における高調波歪みを低減するために、本実施形態では、リターンパス回路を図3に示すような構成としている。なお、同図において、平衡型L、P、F56は省略してある。同図に示すように、平衡不平衡変換トランス51は、そのインダクタの midpoint に midpoint 設置用コンデンサC<sub>e</sub>が接続されており、これによりバルントランスが構成されている。そして、平衡不平衡変換トランス51とL、P、F40との間には、整合用インダクタL<sub>s</sub>が挿入されて

いる。インバンド（5～42MHz）の帯域において、バルントランスとしての平衡不平衡変換トランス51の出力インピーダンスは変動することになるが、整合用インダクタ $L_s$ が挿入されることによって、インバンドスプリアスによる歪みが抑制されることになる。これは、整合用インダクタ $L_s$ が挿入されることによって不整合ロスが生じ、リターンパス増幅回路58における歪率が改善されるからである。

【0079】

（DC-DCコンバータ）

次に、DC-DCコンバータ62について説明する。DC-DCコンバータ62は、PLL回路61に対する同調用電源回路であり、通常30V～33Vの電圧が要求される。図4は、DC-DCコンバータ62の構成を示す回路図である。同図に示すように、DC-DCコンバータ62は、ICで示されるステップアップコンバータ（レギュレータ）、 $L_1 \cdot L_2$ で示されるインダクタ、 $C_1 \cdot C_2 \cdot C_4$ で示される平滑用の電解コンデンサ、 $C_3 \cdot C_5 \cdot C_6$ で示される高周波バイパス用のコンデンサ、 $R_1 \cdot R_2$ で示される出力電圧設定用のバイアス抵抗、および $R_3$ で示される抵抗を備えている。なお、図中+Bで示される端子からは、電源45から供給される電力が入力される。ここで供給される電源は、チューナ用の電源電圧である5Vラインからの電源となる。また、出力されるDC30Vは、PLL回路61に対して出力される。

【0080】

インダクタ $L_1$ および電解コンデンサ $C_1 \cdot C_2$ によって、+Bラインから流入するスプリアスを低減するためのラインフィルタが構成される。また、インダクタ $L_2$ は、ランプアップ用インダクタとして機能するものである。また、抵抗 $R_3$ およびコンデンサ $C_5 \cdot C_6$ によって、PLL回路61へ出力される電力に含まれる低周波ノイズを低減する出力ノイズフィルタが構成される。

【0081】

レギュレータの方式としては種々のものが存在するが、本実施形態では、PWM(Pulse Width Modulation)制御方式のブースト型のコンバータを用い、電源からの供給電圧である5Vを30V～33Vに昇圧するものとする。なお、レギュ

レータとして、チャージポンプ型のコンバータを用いても構わない。ブースト型のコンバータは、チャージポンプ型のコンバータと比較して、回路の占有面積が小さく、また汎用性が高いというメリットがあるが、スプリアスノイズ、フェイズノイズに対する特性が良くないというデメリットがある。チューナ用レギュレータとしては、低ノイズが要求される一方、効率及び出力容量に関しての要求は低くなっている。この意味では、チャージポンプ型のコンバータは理想的であるが、汎用性および小型化の面を優先することを理由に、本実施形態ではブースト型のコンバータを用いている。すなわち、本実施形態では、汎用性および小型化の面を考慮してブースト型のコンバータを用い、このブースト型のコンバータの欠点であるノイズ特性に対しては、出力ノイズフィルタを設けることによって対応していることになる。

## 【 0 0 8 2 】

(チューナのシャーシ構成)

次に、本実施形態におけるチューナ 4 1 のシャーシ構成について説明する。図 5 は、チューナ 4 1 のシャーシ構成を示す断面図である。チューナ 4 1 は、0.6 mm 厚の鋼板を箱状に折り曲げ加工した筐体の中に、各構成要素としての回路が配置された構成となっている。

## 【 0 0 8 3 】

同図において、7 1 は F 型接栓によって構成される入出力端子である。この入出力端子 7 1 は、図 1 に示す入出力端子 1 に相当するものである。領域 7 2 には、ダイプレクサー回路が配置される。このダイプレクサー回路は、図 1 に示す H. P. F 2 および L. P. F 4 0 に相当するものである。領域 7 3 には、リターンパス回路が配置される。

## 【 0 0 8 4 】

領域 7 4 には、広帯域増幅回路 5 0、入力切替回路 3・4・5、および高周波増幅入力同調回路 6・7・8 が配置される。領域 7 5 には、高周波増幅器 9・10・11、AGC 抵抗 31・32・33、および高周波増幅出力同調回路 12・13・14 が配置される。領域 7 6 には、ミキサー回路 15・16・17、局部発振回路 18・19・20、および PLL 回路 61 が配置される。領域 7 7 には



、中間周波増幅回路 2 1、デジタル S A W フィルタ 2 2、および中間周波数 A G C 増幅回路 2 3 が配置される。領域 7 8 には、D C - D C コンバータ 6 2 が配置される。

## 【 0 0 8 5 】

上記の各領域に形成された回路は、基板の片面に形成されており、各領域の境界（図中で a ～ g に示す）には、仕切部材が形成されている。この仕切部材は、S P T C（錫メッキ鋼板）によって構成されており、電気的および電磁的なシールド効果を有するものとなっている。これにより、各領域内で発生する電気的および電磁的なノイズが他の領域に影響を与えることを抑制することができる。

## 【 0 0 8 6 】

また、図 5 に示すシャーシの下部には、h で示される端子が形成されており、この端子が、図 2 に示す信号処理部 4 2 を構成するボードに接続されることになる。すなわち、チューナ 4 1 と信号処理部 4 2 との配線接続は、端子 h … を介して行われることになる。

## 【 0 0 8 7 】

まず、本実施形態で採用している片面基板方式について説明する。従来のチューナでは、基板の両面に各構成要素としての回路が形成される両面基板方式が採用されていた。これは、両面基板方式は、基板の片面に回路を構成する片面基板方式と比較して、歪み特性が有利となるという理由によるものである。

## 【 0 0 8 8 】

なお、両面基板方式では歪み特性が有利となる理由は、歪み特性は、グランドパターンが低電位である方が好ましいことになるが、両面基板方式の場合、グランドパターンを低電位に設計することが可能であるからである。例えば基板におけるアースが 2 カ所あった場合、基板上の各回路でのアース配線は、両面基板の場合には基板に設けたスルーホールなどを介して比較的短い配線にすることができるが、片面基板の場合には、平面上でアース配線を引き回す必要が生じることになる。すなわち、両面基板の方が、片面基板に比べてアース配線を短くすることが可能であり、アース配線がノイズを拾うことによる歪みを小さくすることができることになる。

## 【 0 0 8 9 】

しかしながら、両面基板方式の場合、基板の両面に回路を形成することになるので、片面基板方式と比較して、基板に回路を形成する際の加工コストが高いというデメリットがある。また、両面基板方式の場合、両面に回路を形成することが可能な基板を用いる必要があり、基板自体のコストも高くなるというデメリットもある。

## 【 0 0 9 0 】

そこで、本実施形態のチューナは、片面基板方式を採用するとともに、片面基板方式の問題である歪み特性を両面基板方式レベルにする構成としている。具体的には、リターンパス回路における電力増幅回路 5 2 ・ 5 3 のアース配線を、前置増幅器 5 5 のアース配線と交差しないようにアースパターンを設計する。図 7 は、L. P. F 4 0、平衡不平衡変換トランス 5 1、リターンパス増幅回路 5 8、および平衡型 L. P. F 5 6 の接続部周辺におけるアースパターンを示す図である。同図に示すように、リターンパス増幅回路 5 8 における入力側アースパターン E P 1 には、前置増幅器 5 5 およびデジタル利得制御回路 5 4 のアースが接続されており、出力側アースパターン E P 2 には、電力増幅回路 5 2 ・ 5 3、L. P. F 4 0、および平衡不平衡変換トランス 5 1 のアースが接続されている。

## 【 0 0 9 1 】

このように、リターンパス回路における電力増幅回路 5 2 ・ 5 3 のアース配線を、前置増幅器 5 5 のアース配線と交差しないようにアースパターンを設計することによって、両面基板方式レベルの歪み特性とすることができる。また、図 7 に示すように、リターンパス増幅回路 5 8 に対する周辺部品が、信号の流れが一方方向となるように配置されているので、リターンパス増幅回路 5 8 のアイソレーションがとられるようになっている。さらに、平衡不平衡変換トランス 5 1 がリターンパス増幅回路 5 8 における I C に最も近接した位置に配置されること、および、L. P. F 4 0 と平衡不平衡変換トランス 5 1 とのアースを共通とすることなども、歪み特性を改善するのに効果がある。

## 【 0 0 9 2 】

次に、図 5 に示すシャーシ構成における各領域の配置について説明する。本実

施形態では、上記のように、リターンパス増幅回路 5 8 を含んだリターンパス回路がチューナ 4 1 に設けられている。この場合、リターンパス増幅回路 5 8 の出力レベルは +10 dBm と比較的高い値であることにより、周辺回路に対する影響による干渉が生じるという問題がある。例えば、リターンパス増幅回路 5 8 の出力が大きいことによって、この出力が L. P. F 4 0 を介さずに直接広帯域増幅回路に入力されてしまうことがあり、これによってダウンストリーム信号およびアップストリーム信号に歪みが生じることがある。

## 【0093】

このような問題に対して、本実施形態では、上記のようにリターンパス回路が配置される領域 7 3 の周囲には、電気的および電磁的なシールド効果を有する仕切部材が設けられているので、チューナ 4 1 にリターンパス増幅回路 5 8 を設けることによる問題を解消している。

## 【0094】

また、本実施形態では、上記のように、中間周波増幅回路 2 1、デジタル SAW フィルタ 2 2、および中間周波数 AGC 増幅回路 2 3 がチューナ 4 1 に内蔵された構成となっている。このような構成とする場合、DC-DC コンバータ 6 2 から発生するスプリアスが、中間周波増幅回路 2 1 や入出力端子 1 に誘導されることがある。なお、DC-DC コンバータ 6 2 における IC には、100 kHz 前後の発振器が内蔵されており、上記のスプリアスは、この発振器の影響によって生じるものである。

## 【0095】

このような問題に対して、本実施形態では、上記のように、DC-DC コンバータ 6 2 が配置される領域 7 8 の周囲には、電気的および電磁的なシールド効果を有する仕切部材が設けられているので、チューナ 4 1 の内部に DC-DC コンバータ 6 2 と、中間周波増幅回路 2 1、デジタル SAW フィルタ 2 2、および中間周波数 AGC 増幅回路 2 3 とを共存して設けることによる問題を解消している。

## 【0096】

また、DC-DC コンバータ 6 2 には、図 4 で示したように、インダクタ L 2

が設けられており、このインダクタ L 2 から発生する磁界が、チューナ 4 1 に設けられているインダクタ、例えば局部発振回路 1 8 ・ 1 9 ・ 2 0 内に設けられているインダクタに影響を与えることが考えられる。また、DC-DCコンバータ 6 2 には、図 4 で示したように、ステップアップコンバータとしての IC が設けられており、このアース電流が、チューナ 4 1 におけるその他のアース配線に流入することによって悪影響を与えることも考えられる。

## 【 0 0 9 7 】

このような問題に対して、本実施形態では、上記のように、DC-DCコンバータ 6 2 が配置される領域 7 8 の周囲には、電気的および電磁的なシールド効果を有する仕切部材が設けられているので、チューナ 4 1 の内部に DC-DCコンバータ 6 2 と、チューナ 4 1 のその他の回路とを共存して設けることによる問題を解消している。

## 【 0 0 9 8 】

(チューナと電源との接続)

次に、チューナ 4 1 と電源 4 5 との接続について説明する。上記のように、チューナ 4 1 は、リターンパス増幅回路 5 8 を内蔵した構成となっている。

## 【 0 0 9 9 】

ここで、リターンパス増幅回路 5 8 に対する電源供給と、チューナ 4 1 における他の回路に対する電源供給とを同時に行う場合、次のような問題が生じることになる。リターンパス回路では、データ信号を送信する時にのみリターンパス増幅回路 5 8 に対して電源が供給されるスタンバイ方式が採られている。これは、必要時にのみ電源供給を行うことによって省電力を実現することを目的としている。ここで、データ信号の送信時にリターンパス増幅回路 5 8 に対して電源を供給する際には、瞬間的に電流が 1 0 0 m A 以上変動することになる。これに伴って、チューナ 4 1 における他の回路に対する電源供給の電流が変動することになり、リップルが発生することによって、他の回路における動作に悪影響を与えることになる。

## 【 0 1 0 0 】

そこで、本実施形態では、リターンパス増幅回路 5 8 に対する電源供給によっ

て生じるリップルを抑制するために、チューナ 4 1 と電源 4 5 との間に、図 6 に示すようなデカップリング回路を設けている。同図において、+B<sub>r</sub>は、リターンパス増幅回路 5 8 への供給電源を示しており、+B<sub>t</sub>は、チューナ 4 1 における他の回路への供給電源を示している。同図に示すように、リターンパス増幅回路 5 8 への電源供給経路およびチューナ 4 1 における他の回路への電源供給経路には、それぞれ 1 0 0  $\mu$  H 以上のチョークコイル L と、1 0 0  $\mu$  F 以上の電解コンデンサとからなる L、P、F が挿入されている。これにより、リターンパス増幅回路 5 8 に対して瞬間的に大きな電流が供給された際でも、チューナ 4 1 における他の回路への電源供給にリップルが生じることを抑制することができる。

## 【 0 1 0 1 】

## 【発明の効果】

以上のように、本発明に係るケーブルモデム用チューナは、上記リターンパス回路が、上記信号処理部から伝送された信号の電力増幅を行うリターンパス増幅回路を備えている構成である。

## 【 0 1 0 2 】

これにより、経済性のメリットがあるだけでなく、ケーブルモデム自体の小型化を図ることができるとともに、伝送特性（振幅特性、位相特性）を改善する効果がある。

## 【 0 1 0 3 】

また、本発明に係るケーブルモデム用チューナは、上記リターンパス回路が、上記信号処理部から伝送された信号に含まれるノイズを除去するフィルタを備えている構成としてもよい。

## 【 0 1 0 4 】

これにより、上記の構成による効果に加えて、信号処理部から伝送される信号に含まれているスプリアスエミッションを低減することが可能となるという効果を奏する。

## 【 0 1 0 5 】

また、本発明に係るケーブルモデム用チューナは、上記リターンパス増幅回路に対して供給される電源と、該リターンパス増幅回路以外の構成に対して供給さ

れる電源とが、別系統の経路で供給される構成としてもよい。

【 0 1 0 6 】

これにより、上記の構成による効果に加えて、データ送信時におけるリターンパス増幅回路への電源供給に伴う電流変動の影響が他の構成に対して及ぶことを防止することができる。よって、リターンパス増幅回路以外の構成の安定動作を実現することが可能となるという効果を奏する。

【 0 1 0 7 】

また、本発明に係るケーブルモデム用チューナは、上記受信処理部および上記リターンパス回路を構成する回路が、基板の片面に形成されている構成としてもよい。

【 0 1 0 8 】

これにより、上記の構成による効果に加えて、基板に回路を形成する際の加工コストを低くすることができるとともに、基板自体のコストも低くすることができるという効果を奏する。

【 0 1 0 9 】

また、本発明に係るケーブルモデム用チューナは、上記リターンパス回路が、上記リターンパス増幅回路からの平衡出力を不平衡出力に変換する平衡不平衡変換トランスと、上記平衡不平衡変換トランスの出力側に設けられた整合用インダクタとを備えている構成としてもよい。

【 0 1 1 0 】

これにより、上記の構成による効果に加えて、平衡不平衡変換トランスによって、リターンパス増幅回路からの平衡出力が、通信回線への送信に適した不平衡出力に変換される際に生じる、送信信号の周波数帯域となるノイズを除去することが可能となるという効果を奏する。

【 0 1 1 1 】

また、本発明に係るケーブルモデム用チューナは、上記リターンパス回路の周囲に、電気的および電磁的なシールド効果を有する仕切部材が設けられている構成としてもよい。

【 0 1 1 2 】

これにより、上記の構成による効果に加えて、リターンパス増幅回路の出力レベルは比較的高い値であることにより、周辺回路に対する影響による干渉が生じるという問題を解消することができる。

【 0 1 1 3 】

また、本発明に係るケーブルモデム用チューナは、上記受信処理部が、周波数変換処理を行う際に用いられる PLL 回路と、上記 PLL 回路に電源を供給するレギュレータとしての DC-DC コンバータとを備えているとともに、上記 DC-DC コンバータの周囲に、電気的および電磁的なシールド効果を有する仕切部材が設けられている構成としてもよい。

【 0 1 1 4 】

これにより、上記の構成による効果に加えて、DC-DC コンバータからの出力にはスプリアスノイズが発生するという問題を解消することができる。

【 0 1 1 5 】

また、本発明に係るケーブルモデム用チューナは、上記受信処理部が、受信した信号の周波数を中間周波数に変換するシングルコンバージョン方式によって受信処理を行うとともに、上記信号処理部から伝送される IF AGC 信号に基づいて中間周波信号を増幅する中間周波数 AGC 増幅回路を備えている構成としてもよい。

【 0 1 1 6 】

これにより、上記の構成による効果に加えて、中間周波数 AGC 増幅回路がチューナ側に設けられているので、これらの構成の設計を、アナログ回路技術者が行うことが可能となっている。これにより、最適な性能を引き出すためのチューニング、および DOCS IC の評価にかかる時間を大幅に削減することが可能となるという効果を奏する。

【 0 1 1 7 】

また、本発明に係るケーブルモデムは、上記本発明に係るケーブルモデム用チューナと、上記ケーブルモデム用チューナにおける送受信信号の変復調処理を行う信号処理部とを備えた構成である。

【 0 1 1 8 】

これにより、小型でかつ伝送特性の優れたケーブルモデムを提供することができるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係るケーブルモデムが備えるチューナの概略構成を示すブロック図である。

【図 2】

上記ケーブルモデムの概略構成を示すブロック図である。

【図 3】

上記チューナが備えるリターンパス回路の構成を示す回路図である。

【図 4】

上記チューナが備える DC-DC コンバータの構成を示す回路図である。

【図 5】

上記チューナのシャーシ構成を示す断面図である。

【図 6】

チューナと電源との間に接続されるデカップリング回路の接続状態を示す回路図である。

【図 7】

L. P. F、平衡不平衡変換トランス、リターンパス増幅回路、および平衡型 L. P. F の接続部周辺におけるアースパターンを示す図である。

【図 8】

従来のケーブルモデムが備えるチューナの概略構成を示すブロック図である。

【符号の説明】

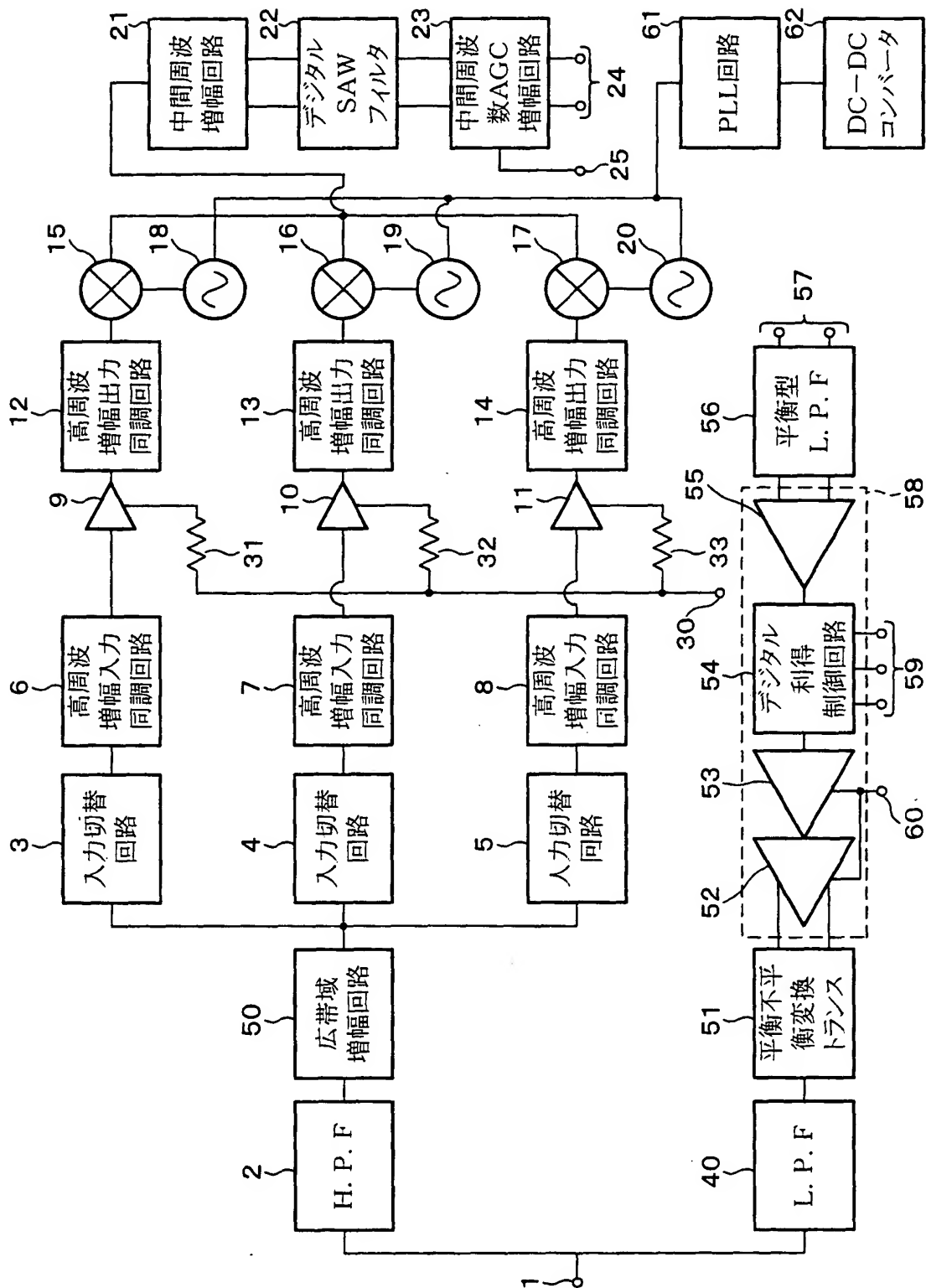
- |          |             |
|----------|-------------|
| 1        | 入出力端子       |
| 2        | H. P. F     |
| 3・4・5    | 入力切替回路      |
| 6・7・8    | 高周波増幅入力同調回路 |
| 9・10・11  | 高周波増幅器      |
| 12・13・14 | 高周波増幅出力同調回路 |



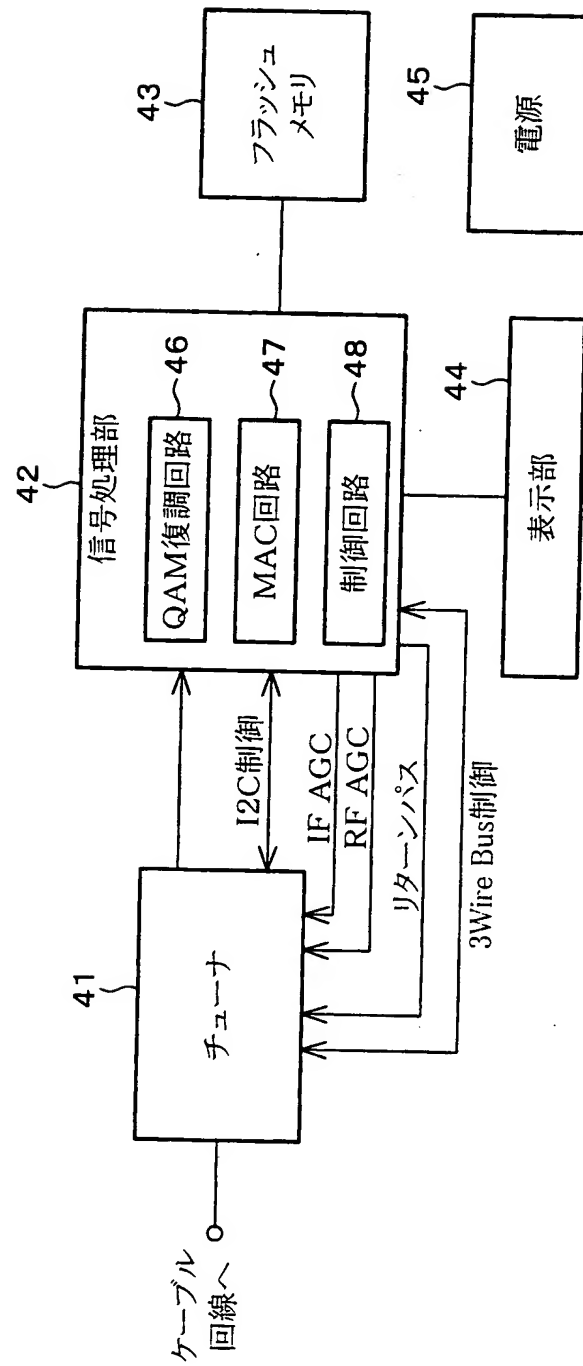
- 1 5 ・ 1 6 ・ 1 7      ミキサー回路
- 1 8 ・ 1 9 ・ 2 0      局部発振回路
- 2 1      中間周波増幅回路
- 2 2      デジタル S A W フィルタ
- 2 3      中間周波数 A G C 増幅回路
- 4 0      L . P . F
- 4 1      チューナ
- 4 2      信号処理部
- 4 3      フラッシュメモリ
- 4 4      表示部
- 4 5      電源
- 5 1      平衡不平衡変換トランス
- 5 2 ・ 5 3      電力増幅回路
- 5 4      デジタル利得制御回路
- 5 5      前置増幅器
- 5 6      平衡型 L . P . F
- 5 8      リターンパス増幅回路
- 6 1      P L L 回路
- 6 2      D C - D C コンバータ

【書類名】 図面

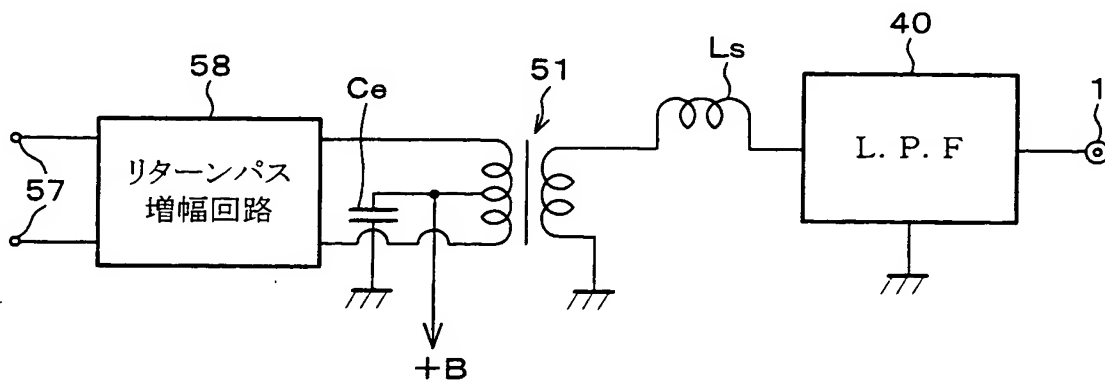
【図 1】



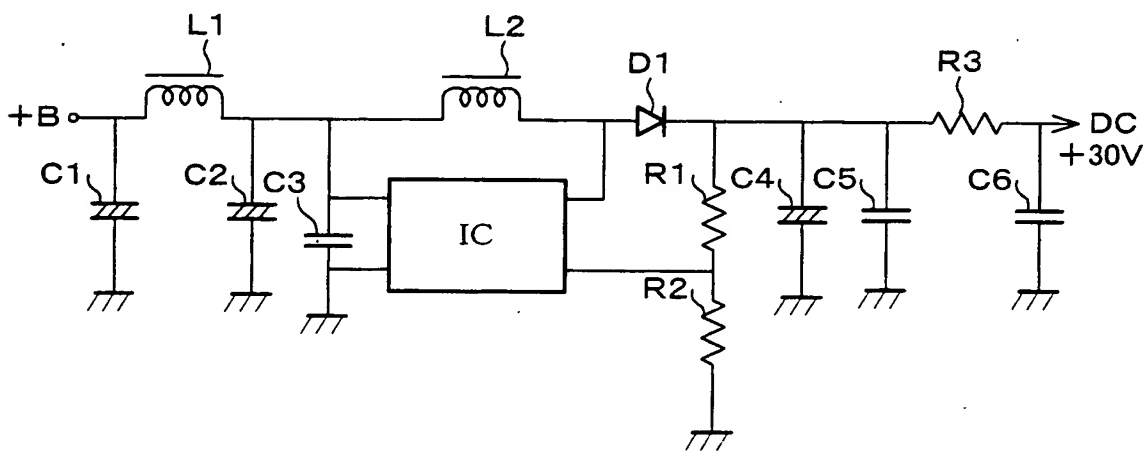
【図2】



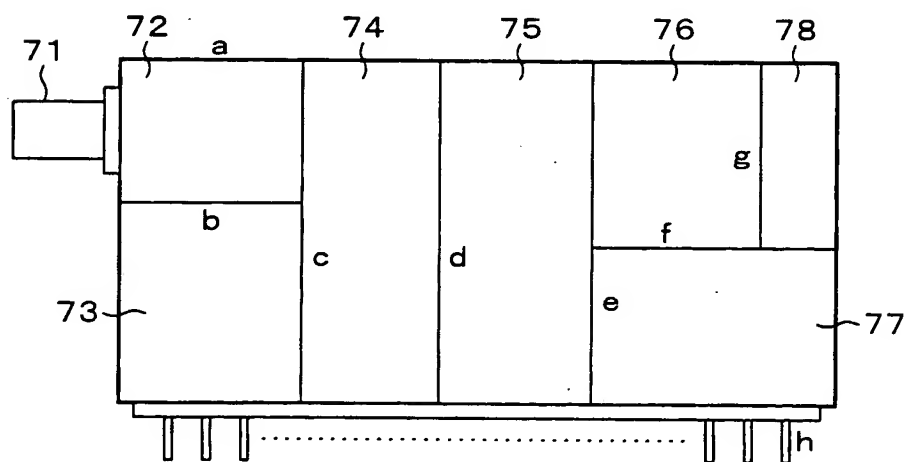
【図3】



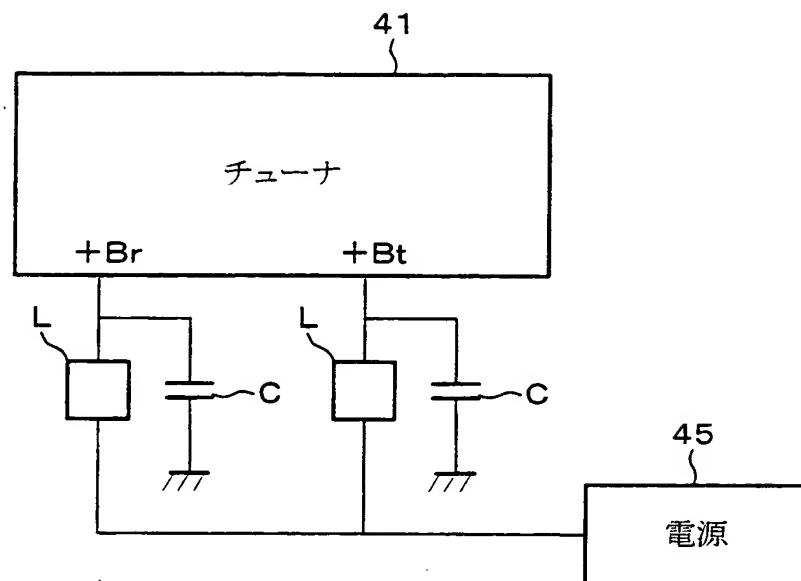
【図4】



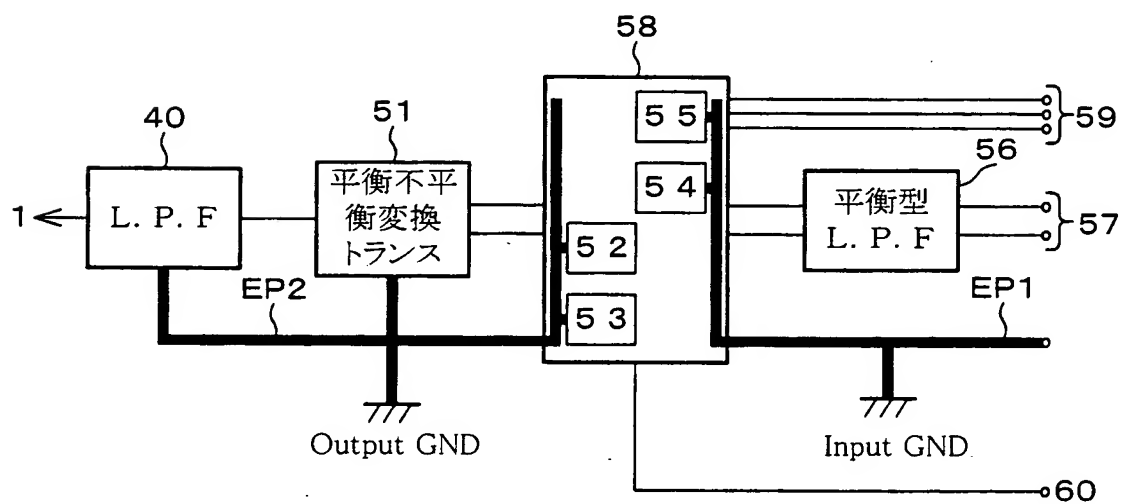
【図5】



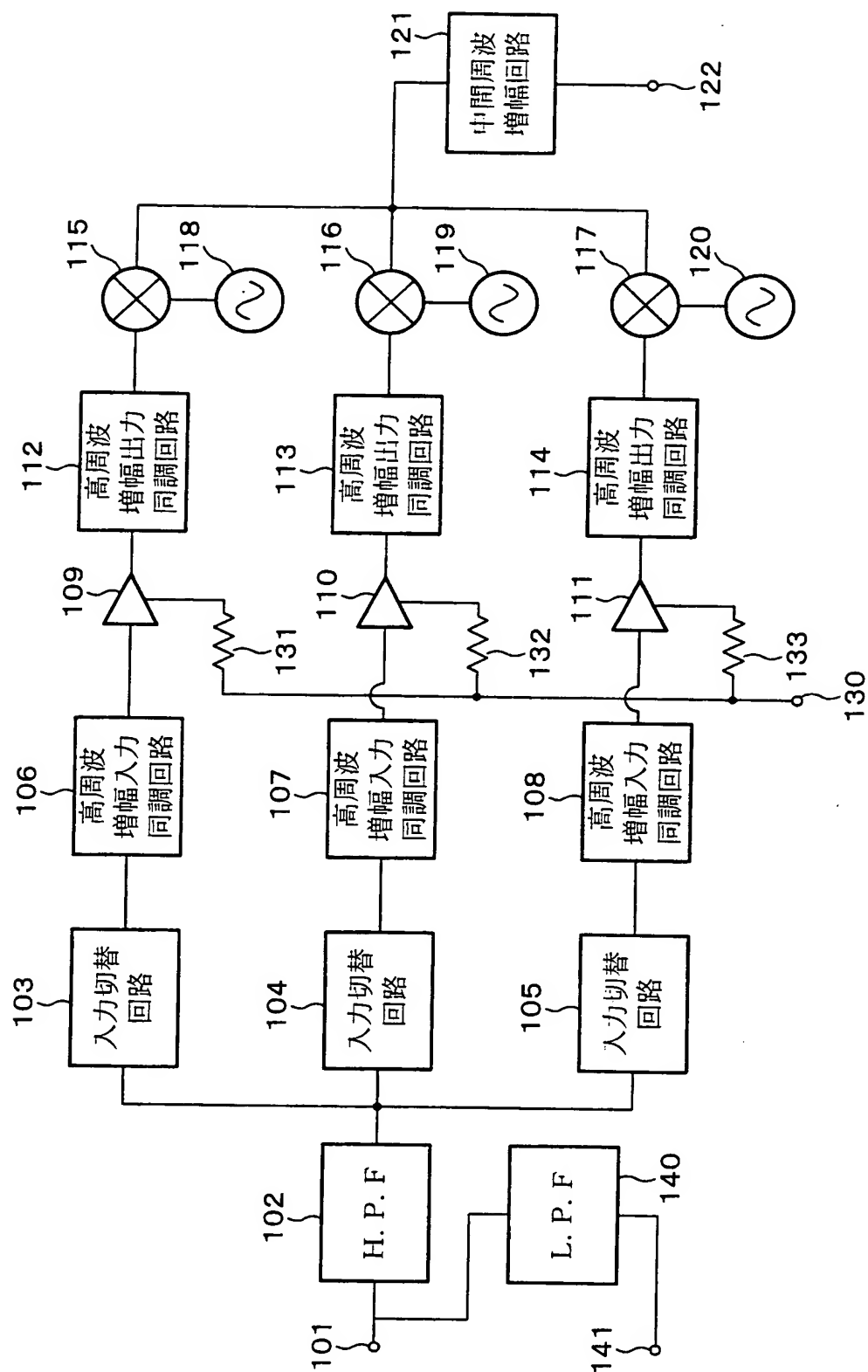
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 チューナの開発コストおよび開発時間を削減するとともに、ケーブルモデム自体の小型化および伝送特性の改善を実現するケーブルモデム用チューナを提供する。

【解決手段】 ケーブル回線から入力されたダウンストリーム信号を処理する受信処理部と、ケーブルモデム側からケーブル回線に向けて出力するアップストリーム信号を処理するリターンパス回路を備えたチューナにおいて、リターンパス回路が、リターンパス増幅回路 5 8 を備えた構成とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社